



RECEIVED

JAN 02 2002

Technology Center 2600

PATENT

3
ayc
110

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Naohiro MATSUI

Appl. No.: 09/826,353

Group: 2631

Filed: April 5, 2001

Examiner: UNKNOWN

For: PHASE COMPARATOR, AND PHASE LOCKED LOOP
CIRCUIT HAVING THE SAME AS WELL AS
METHOD OF PHASE COMPARISON

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

Date: December 31, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-107121	April 7, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By 
Robert J. Patch, #17,355

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

Attachment

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

DEC 31 2001
PATENT & TRADEMARK OFFICE
JC&E JAPAN

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 4月 7日

出願番号
Application Number:

特願2000-107121

RECEIVED

出願人
Applicant(s):

日本電気株式会社

JAN 02 2002
Technology Center 2600

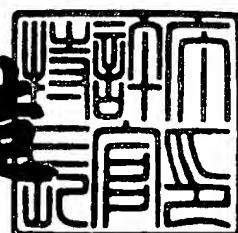
CERTIFIED COPY OF
PRIORITY DOCUMENT

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月 26日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願
【整理番号】 75510304
【提出日】 平成12年 4月 7日
【あて先】 特許庁長官殿
【国際特許分類】 H03L 7/107
【発明者】
【住所又は居所】 東京都港区芝五丁目 7番1号
日本電気株式会社内
【氏名】 松井 直大
【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代理人】
【識別番号】 100086759
【弁理士】
【氏名又は名称】 渡辺 喜平
【手数料の表示】
【予納台帳番号】 013619
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9001716
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相比較装置および位相比較方法

【特許請求の範囲】

【請求項1】 PLL回路に配置され、所定の電源から供給される電流を利用し、第一の入力信号と第二の入力信号との位相差を電流信号に変換して出力するギルバートセルミキサ型の位相比較装置であって、

上記電流信号に基づいて上記PLL回路がロック状態であるか否かを検出するロック検出手段と、

上記ロック検出器において上記PLL回路がアンロック状態であることを検出したとき、上記電源における供給電流量を増加させる供給電流制御手段とを備えることを特徴とする位相比較装置。

【請求項2】 上記請求項1に記載の位相比較装置において、

上記電源は、上記PLL回路がロック状態であるか否かにかかわらず、所定の電流を供給する第一電流源と、上記ロック検出器において上記PLL回路がアンロック状態であることを検出したとき、上記供給電流制御手段により供給電流量が増加させられる第二電流源とを備えることを特徴とする位相比較装置。

【請求項3】 上記請求項1または請求項2のいずれかに記載の位相比較装置において、

当該位相比較装置に備えられたカレントミラー回路を構成するPNPトランジスタのコレクタ端子にベース端子を接続し、このPNPトランジスタのベース端子にエミッタ端子を接続するとともに、コレクタ端子を接地したベース電流補償用PNPトランジスタを備えることを特徴とする位相比較装置。

【請求項4】 上記請求項3に記載の位相比較装置において、

当該位相比較装置は、複数のカレントミラー回路を備えており、各カレントミラー回路を構成するPNPトランジスタに上記ベース電流補償用PNPトランジスタが接続されることを特徴とする位相比較装置。

【請求項5】 上記請求項1～4のいずれかに記載の位相比較装置において

当該位相比較装置に備えられたカレントミラー回路を構成するNPNトランジ

スタのコレクタ端子にベース端子を接続し、このNPNトランジスタのベース端子にエミッタ端子を接続するとともに、コレクタ端子を接地したベース電流補償用NPNトランジスタを備えることを特徴とする位相比較装置。

【請求項6】 PLL回路に配置され、所定の電源から供給される電流を利用し、第一の入力信号と第二の入力信号との位相差を電流信号に変換して出力するギルバートセルミキサ型の位相比較方法であって、

上記電流信号に基づいて上記PLL回路がロック状態であるか否かを検出し、上記PLL回路におけるアンロック状態が検出されたとき、上記電源における供給電流量を増加させることを特徴とする位相比較方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、位相比較装置および位相比較方法に関し、特に、PLL回路に配置され、所定の電源から供給される電流を利用し、第一の入力信号と第二の入力信号との位相差を電流信号に変換して出力するギルバートセルミキサ型の位相比較装置および位相比較方法に関する。

【0002】

【従来の技術】

従来の位相比較装置として、特開平10-233683号公報に開示された位相比較装置が知られている。

この位相比較装置は、能動素子としてのトランジスタと、受動素子としてのインダクタンス、抵抗器およびコンデンサと、定電流源とを備えた能動フィルタとを備えており、トランジスタに流れる電流をロック検出器により変更することでループゲインを調整してロックアップの高速化を実現している。

また、ギルバートセルミキサ型の位相比較装置としては、電流源として定電流源のみを備えたものが知られている。このギルバートセルミキサ型の位相比較装置では、PLL回路がロック状態であるか否かに関係なく、定電流源から供給される一定の電流量に基づいてロックアップ動作を実行している。

【0003】

【発明が解決しようとする課題】

上述した従来の位相比較装置においては、次のような課題があった。

前者の位相比較装置では、能動型フィルタを適用するとき、PLL回路がロック状態とアンロック状態において定電流源から供給される電流量を変化させることでロックアップタイムの短縮を行っている。しかし、受動型フィルタを用いた場合ループゲインを変化、調整することが困難であった。このため、PLL回路がアンロック状態にある場合、効率良くロック状態に導くことができず、ロックアップタイムの短縮が困難であった。

また、ロックアップタイムを向上させるためにループフィルタのループ帯域を広げると、ループフィルタで不要な信号が除去されず、VCOが不要な信号により変調され、高調波スブリアスやVCOの位相雑音が増大してしまうという課題があった。

後者の位相比較装置では、定電流源からの供給電流量を変化させることができなかった。従って、ロックアップタイムを向上させるためには、ループフィルタのループ帯域を広げざるを得ない。このため、前者の場合と同様に、ループフィルタで不要な信号が除去されず、VCOが不要な信号により変調され、高調波スブリアスやVCOの位相雑音が増大してしまうという課題があった。

【0004】

本発明は、上記課題にかんがみてなされたもので、PLLのループフィルタのループ帯域を広げることなく、ロックアップタイムを向上させることの可能な位相比較装置および位相比較方法の提供を目的とする。

【0005】**【課題を解決するための手段】**

上記目的を達成するため、請求項1における発明は、PLL回路に配置され、所定の電源から供給される電流を利用し、第一の入力信号と第二の入力信号との位相差を電流信号に変換して出力するギルバートセルミキサ型の位相比較装置であって、電流信号に基づいてPLL回路がロック状態であるか否かを検出するロック検出手段と、ロック検出器においてPLL回路がアンロック状態であることを検出したとき、電源における供給電流量を増加させる供給電流制御手段とを備

える構成としてある。

すなわち、PLL回路に配置されたギルバートセルミキサ型である位相比較装置は、所定の電源から供給される電流を利用し、第一の入力信号と第二の入力信号との位相差を電流信号に変換して出力する。

【0006】

このとき、ロック検出手段は、電流信号を入力してPLL回路がロック状態であるか否かを検出する。また、供給電流制御手段は、ロック検出器にてPLL回路がアンロック状態であることを検出したとき、電源における供給電流量を増加させるため、位相比較装置における電流量が増加する。

従って、受動フィルタを適用する場合であっても、電流増加に伴ってループゲインが上昇し、ロック状態までの引き込み過程が速くなり、ロックアップタイムを向上させることが可能となる点で本発明は有用となる。

【0007】

一方、ロック状態にある場合、ロック検出手段がロック状態を検出するため、供給電流制御手段は、電源における供給電流量を増加させないようにする。従って、アンロック状態のときに比べて位相比較装置における電流量は減少するが、位相比較装置の出力側に接続されたループフィルタに流れ込む電流（チャージ電流）と引き込み電流（ディスチャージ電流）との割合、すなわち、いわゆる位相比較装置の出力オフセットリーケ電流が悪化するのを防ぐ。

位相比較装置における電流量がロック状態時のように増加されたままであると、出力オフセットリーケ電流が増大してしまうため、出力オフセットリーケ電流の悪化を防ぐことで、高調波スプリアスやVCOの位相雑音の悪化を防止できる点で有用となる。

【0008】

供給電流制御手段は、ロック検出器にてPLL回路のアンロック状態が検出されたとき、電源における供給電流量を増加させるものであれば良く、構成の一例として、請求項2における発明は、請求項1に記載の位相比較装置において、電源は、PLL回路がロック状態であるか否かにかかわらず、所定の電流を供給する第一電流源と、ロック検出器においてPLL回路がアンロック状態であること

を検出したとき、供給電流制御手段により供給電流量が増加させられる第二電流源とを備える構成としてある。

すなわち、第一電流源は、PLL回路がロック状態であるか否かにかかわらず、所定の電流を供給する。一方、第二電流源は、ロック検出器においてPLL回路がアンロック状態であることを検出したとき、供給電流制御手段により供給電流量が増加させられる。

【0009】

位相比較装置の具体的な構成の一例として、請求項3における発明は、請求項1または請求項2のいずれかに記載の位相比較装置において、当該位相比較装置に備えられたカレントミラー回路を構成するPNPトランジスタのコレクタ端子にベース端子を接続し、このPNPトランジスタのベース端子にエミッタ端子を接続するとともに、コレクタ端子を接地したベース電流補償用PNPトランジスタを備える構成としてある。

すなわち、ベース電流補償用PNPトランジスタは、位相比較装置に備えられたカレントミラー回路を構成するPNPトランジスタにおけるベース電流補償を行う。

【0010】

ベース電流補償用PNPトランジスタを用いる場合の一例として、請求項4における発明は、請求項3に記載の位相比較装置において、当該位相比較装置は、複数のカレントミラー回路を備えており、各カレントミラー回路を構成するPNPトランジスタにベース電流補償用PNPトランジスタが接続される構成としてある。

すなわち、各ベース電流補償用PNPトランジスタは、位相比較装置に配置された各カレントミラー回路を構成するPNPトランジスタにおけるベース電流補償を行う。

【0011】

また、位相比較装置の具体的な構成の別の一例として、請求項5における発明は、請求項1～請求項4のいずれかに記載の位相比較装置において、当該位相比較装置に備えられたカレントミラー回路を構成するNPNトランジスタのコレク

タ端子にベース端子を接続し、このNPNトランジスタのベース端子にエミッタ端子を接続するとともに、コレクタ端子を接地したベース電流補償用NPNトランジスタを備える構成としてある。

すなわち、ベース電流補償用NPNトランジスタは、位相比較装置に備えられたカレントミラー回路を構成するNPNトランジスタにおけるベース電流補償を行う。

【0012】

以上のように、位相比較を行う手法は、実体のある装置として構成可能であるだけでなく、方法としても実現可能である。その一例として、請求項6における発明は、PLL回路に配置され、所定の電源から供給される電流を利用し、第一の入力信号と第二の入力信号との位相差を電流信号に変換して出力するギルバートセルミキサ型の位相比較方法であって、電流信号に基づいてPLL回路がロック状態であるか否かを検出し、PLL回路におけるアンロック状態が検出されたとき、電源における供給電流量を増加させる構成としてある。

すなわち、装置としての構成は、方法としても実現することが可能である。なお、請求項2～請求項5にかかる構成についても同様に方法として適用可能であることは言うまでもない。

【0013】

【発明の実施の形態】

以下、図面にもとづいて本発明の実施形態を説明する。

図1は、本発明の一実施形態におけるPLL回路の主要構成をブロック図により示している。

PLL回路10には、参考基準周波数 f_{ref} が入力可能な本発明にいう位相比較装置としての位相比較器20が備えられており、位相比較器20の出力側には、ループフィルタ30が接続されている。また、ループフィルタ30の出力側には、所定の発振周波数 f_{OUT} を出力可能なVCO40が接続されている。VCO40の出力側と位相比較器20との間には、フィードバック経路が形成されており、フィードバック経路には、ミキサ50が介在されている。

【0014】

VCO40が所定の発振周波数 f_{OUT} を出力すると、出力されたVCO出力発振周波数 f_{OUT} がミキサ50に入力される。ミキサ50は、入力された発振周波数 f_{OUT} と局発信号周波数 f_{LO} との差を算出し、算出された差をミキサ出力周波数 f_{MIX_OUT} として出力する。

すると、位相比較器20は、入力された参照基準周波数 f_{ref} の位相と、ミキサ出力周波数 f_{MIX_OUT} の位相とを比較し、両者の位相差を位相差信号としてループフィルタ30に出力する。この意味で、参照基準周波数 f_{ref} とミキサ出力周波数 f_{MIX_OUT} とは、本発明にいう第一の入力信号と第二の入力信号とを構成する。位相差信号が入力されたループフィルタ30では、位相差信号に含まれる不要な信号成分を除去し、VCO制御電圧としてVCO40に出力する。

【0015】

このとき、PLL回路10がロック状態にある場合、参照基準周波数 f_{ref} とミキサ出力周波数 f_{MIX_OUT} とは等しくなり、PLL回路10がアンロック状態にある場合、参照基準周波数 f_{ref} とミキサ出力周波数 f_{MIX_OUT} とは異なる値となる。

本実施形態では、図2に示すように、能動負荷によるカレントミラー回路の折り返しを備えたギルバートセルミキサ型の位相比較器(EX-OR型)を用いており、入力の2つの電圧信号を位相差、つまり、参照基準周波数 f_{ref} とミキサ出力周波数 f_{MIX_OUT} との位相差に応じた電流信号に変換している。

【0016】

図3は、従来の位相比較器の構成例を回路図により示している。

従来、ギルバートセルミキサ型の位相比較器60では、電流源と出力端子との間にロック検出器が介在されておらず、PLL回路10がロック状態であるか否かに依存することなく、電流源から常に同じ量の電流が供給されていた。

このため、高速ロックアップを向上させるためには、ループ帯域を広げることにより、位相比較器自身のゲイン(利得)を上げる必要があったが、VCO自身の位相雑音が悪化するおそれがあった。

【0017】

そこで、本実施形態における位相比較器20では、VCO自身の位相雑音を悪化させることなく、高速ロックアップを向上させられるようにした。

具体的な回路構成としては、図2に示すように、NPNトランジスタ20aのベース端子とNPNトランジスタ20bのベース端子とは互いに接続されて参照基準周波数 f_{ref} が入力可能となっている。また、NPNトランジスタ20cのベース端子とNPNトランジスタ20dのベース端子とは、互いに接続されて参照基準周波数 f_{ref} が入力可能となっている。

【0018】

NPNトランジスタ20aのエミッタ端子とNPNトランジスタ20cのエミッタ端子とは互いに接続され、NPNトランジスタ20eのコレクタ端子に接続される。一方、NPNトランジスタ20bのエミッタ端子とNPNトランジスタ20dのエミッタ端子とは互いに接続され、NPNトランジスタ20fのコレクタ端子に接続される。

NPNトランジスタ20aのコレクタ端子とNPNトランジスタ20dのコレクタ端子とはPNPトランジスタ20gのコレクタ端子に接続され、NPNトランジスタ20bのコレクタ端子とNPNトランジスタ20cのコレクタ端子とはPNPトランジスタ20hのコレクタ端子に接続される。

【0019】

PNPトランジスタ20gのベース端子は、PNPトランジスタ20iのベース端子に接続され、PNPトランジスタ20hのベース端子は、PNPトランジスタ20jのベース端子に接続される。

PNPトランジスタ20iのコレクタ端子は、NPNトランジスタ20kのコレクタ端子に接続され、PNPトランジスタjのベース端子は、NPNトランジスタ20lのベース端子に接続される。

【0020】

NPNトランジスタ20kのエミッタ端子とNPNトランジスタ20lのエミッタ端子とは、接地されており、PNPトランジスタ20jのコレクタ端子とNPNトランジスタ20lのコレクタ端子とは、出力端子21に接続される。また、出力端子21には、ロック検出器22の入力端子が接続されている。

NPNトランジスタ20eのエミッタ端子とNPNトランジスタ20fのエミッタ端子とは、電流源23に接続される。また、NPNトランジスタ20eのベース端子とNPNトランジスタ20fのベース端子とには、ミキサ出力周波数f MIX_OUTが入力可能となっている。

【0021】

電流源23には、互いに並列に接続された第一電流源23aと第二電流源23bとが備えられており、第二電流源23bは、ロック検出器22の出力端子に接続される。このため、第二電流源23bには、ロック検出器22からの出力信号が入力される。

【0022】

以上のような構成により、PLL回路10がアンロック状態にある場合、ロック検出器22から第二電流源23bに所定の出力信号が供給されると、第二電流源23bは、供給電流量を増加させて位相比較器20における電流量を増大させる。すると、PLL回路10におけるループゲインが向上するため、アンロック状態からロック状態への引き込み過程を高速化し、ロックアップタイムを短縮することが可能となる。また、PLL回路10がロック状態となり、ロック検出器22がロック状態を検出すると、ロック検出器22は、第二電流源23bに所定の出力信号を供給することで、第二電流源23bからの供給電流を減少、または、停止させて位相比較器20における電流量の増加を防止する。

従って、PLL回路10がロック状態であるか否かを検出して所定の出力信号を第二電流源23bに供給するロック検出器22は、本発明にいうロック検出手段と供給電流制御手段とを構成する。

【0023】

ここで、図4に示すように、PNPトランジスタ20hとPNPトランジスタ20jとの組み合わせ、PNPトランジスタ20gとPNPトランジスタ20iとの組み合わせ、NPNトランジスタ20kとNPNトランジスタ20lとの組み合わせは、それぞれにカレントミラー回路A～Cを構成する。

例えば、PNPトランジスタ20hとPNPトランジスタ20jとにより構成されるカレントミラー回路Aでは、ブランチ1に流れている基準電流Irefに

対して所定の比率を有する出力電流 I_{out} をブランチ2に流すことができる。

【0024】

また、いわゆるカレントミラー回路の折り返しを使用することができる。例えば、PNPトランジスタ20gとPNPトランジスタ20iにより構成されるカレントミラー回路Bにおいて、基準電流 I_{ref} が1:1の比率で折り返されて電流が出力されると、出力電流 I_{out} がNPNトランジスタ20kとNPNトランジスタ20lにより構成されるカレントミラー回路Cにおける基準電流 I_{ref} となる。すると、この基準電流 I_{ref} が再び折り返されて電流が出力される。従って、カレントミラー回路Bにおける基準電流 I_{ref} がカレントミラー回路Cにおける出力電流 I_{out} となる。

【0025】

図5および図6を参照しながら説明すると、二つの同一周波数である入力周波数 f_{in1} と入力周波数 f_{in2} とが入力された場合、入力周波数 f_{in1} と入力周波数 f_{in2} とが異なると、乗算器として動作し、入力周波数 f_{in1} と入力周波数 f_{in2} とが等しいと、位相比較器として動作する。

位相比較器として動作する際、差分の周波数成分がゼロとなるため、所定の位相差 ϕ だけのDC成分を持つようになり、位相差 ϕ に比例したDC成分を出力する。このとき、二入力の位相差 ϕ に基づいて出力される電流はコンデンサCに基づいて電圧値に変換され、ループフィルタ30を通過することで不要な信号成分を除去し、直流成分としてVCO40を変調する。

【0026】

アンロック状態の場合、第一電流源23aと第二電流源23bとを用いて電流を増加させる。ループゲインKは、 $K = (2^{**}1 / 2 \times K_v \times I) / \pi$ により表されるため、電流を増加させることでループゲインが上昇し、参照基準周波数 f_{ref} とミキサ出力周波数 f_{MIX_OUT} とが等しくなるまでの引き込み過程が速くなる。ここで、「 $2^{**}1 / 2$ 」は、2の1/2乗であることを意味する。

【0027】

PLL回路10がロック状態となり、参照基準周波数 f_{ref} とミキサ出力周

波数 $f_{\text{MIX_OUT}}$ とが等しくなった場合、ロック検出器 22 の出力端子から直流成分を検出することで、第二電流源 23 b からの供給電流を減少または停止させるように切り替える。

なお、図 7 に示すように、位相比較器 20 を構成する PNP トランジスタ 20 h, 20 g にベース電流補償用 PNP トランジスタ 70 a, 70 b を付加したり、NPN トランジスタ 20 k にベース電流補償用 NPN トランジスタ 70 c を付加することで、各トランジスタ 20 h, 20 g, 20 k におけるベース電流補償を行うことも可能である。

【0028】

ベース電流補償を行わない場合には、カレントミラー回路における折り返し比率の誤差が $1/H_{FE}$ 程度生じるが、ベース電流補償用トランジスタを用いることで、誤差が $1/(H_{FE} \times H_{FE})$ 程度になるため、折り返し比率に精度が必要なときに有用な構成となる。

このように、ロック検出器 22 は、PLL 回路 10 がアンロック状態にあると、第二電流源 23 b における供給電流量を増加させて位相比較器 20 における電流量を増大させ、PLL 回路 10 がロック状態にあると、第二電流源 23 b における供給電流量を減少または停止させて位相比較器 20 における電流量を低減させるため、受動フィルタを適用した場合であっても、ループフィルタ 30 のループ帯域を広げることなく、ロックアップタイムを向上させることが可能となる。

【0029】

【発明の効果】

以上説明したように本発明は、受動フィルタを適用した場合であっても、ループフィルタのループ帯域を広げることなく、ロックアップタイムを向上させることの可能な位相比較装置を提供することができる。

また、請求項 2 における発明によれば、必要最小限の電流を確保する電流源を別個に備えることで、供給電流量の制御を容易にすることができる。

さらに、請求項 3 における発明によれば、PNP トランジスタを備えたカレントミラー回路における折り返し比率の精度を高めることができ、出力電流オフセットトリーク電流が抑制できる。

【0030】

さらに、請求項4における発明によれば、P N Pトランジスタを備えた各カレントミラー回路における折り返し比率の精度を高めることができ、出力電流オフセットトリーク電流が抑制できる。

さらに、請求項5における発明によれば、N P Nトランジスタを備えたカレントミラー回路における折り返し比率の精度を高めることができ、出力電流オフセットトリーク電流が抑制できる。

さらに、請求項6における発明によれば、受動フィルタを適用した場合であっても、ループフィルタのループ帯域を広げることなく、ロックアップタイムを向上させることの可能な位相比較方法を提供することができる。

【図面の簡単な説明】

【図1】

本実施形態におけるP L L回路の主要構成を示すブロック図である。

【図2】

位相比較器の構成例を示す回路図である。

【図3】

従来例としての位相比較器の構成例を示す回路図である。

【図4】

カレントミラー回路について説明するための説明図である。

【図5】

位相比較器の動作を説明するための説明図である。

【図6】

位相比較器の動作を説明するためのグラフである。

【図7】

変形例としての位相比較器の構成例を示す回路図である。

【符号の説明】

1 0 P L L回路

2 0 位相比較器

2 0 a～2 0 f N P Nトランジスタ

20g～20j PNPトランジスタ

20k, 20l NPNトランジスタ

21 出力端子

22 ロック検出器

23 電流源

23a 第一電流源

23b 第二電流源

30 ループフィルタ

40 VCO

50 ミキサ

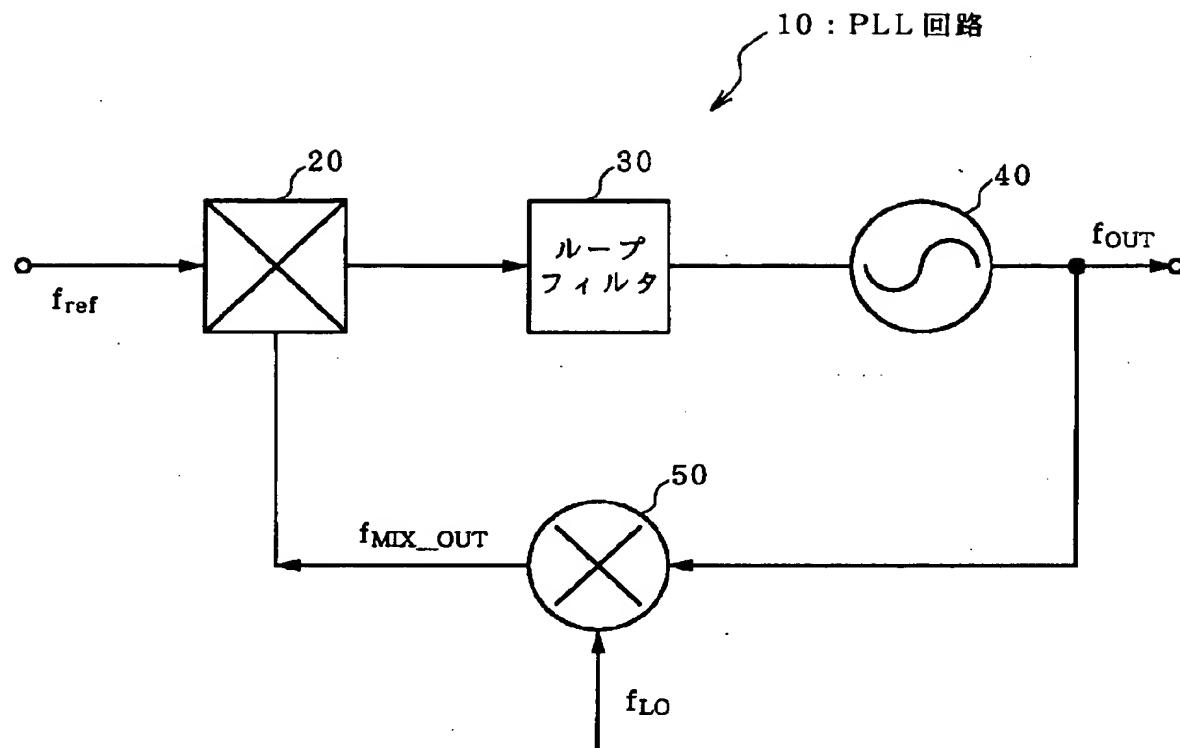
70a, 70b ベース電流補償用 PNPトランジスタ

70c ベース電流補償用 NPNトランジスタ

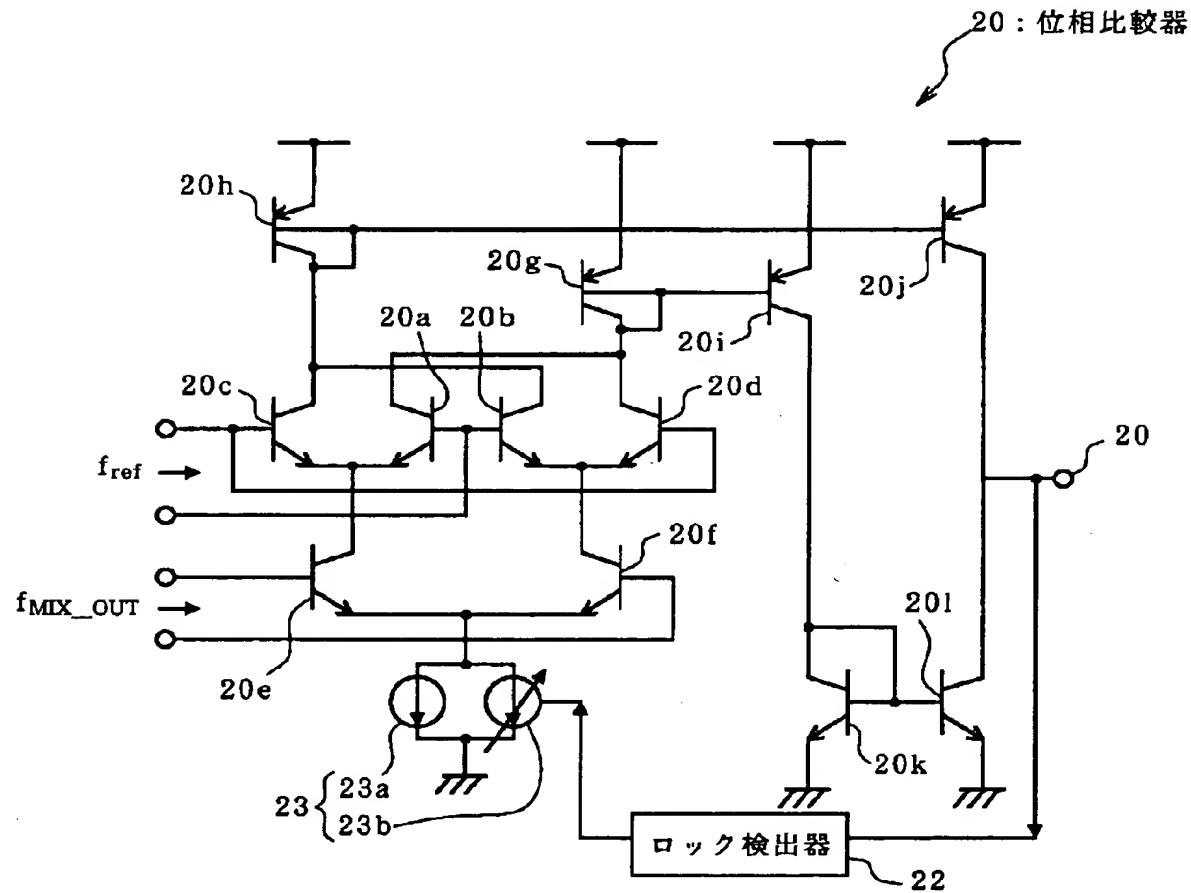
A～C カレントミラー回路

【書類名】 図面

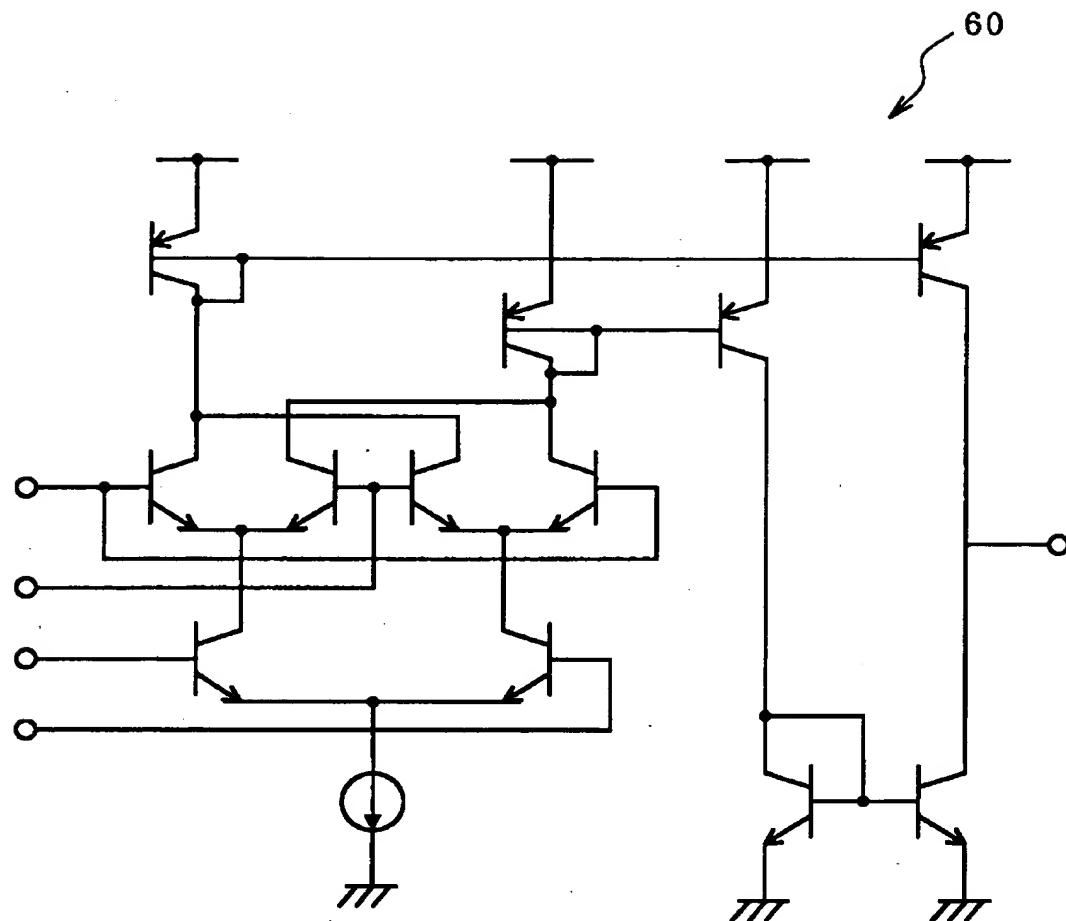
【図1】



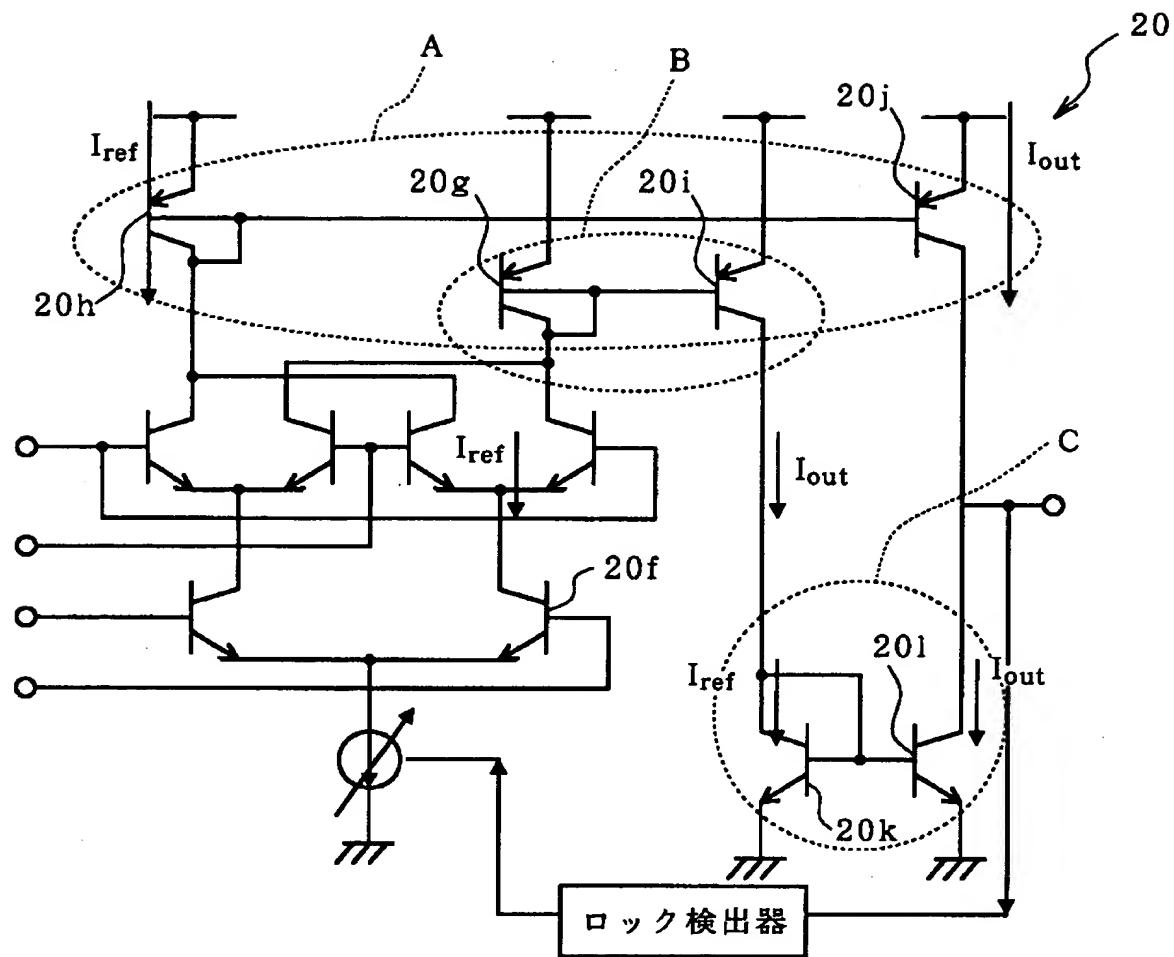
【図2】



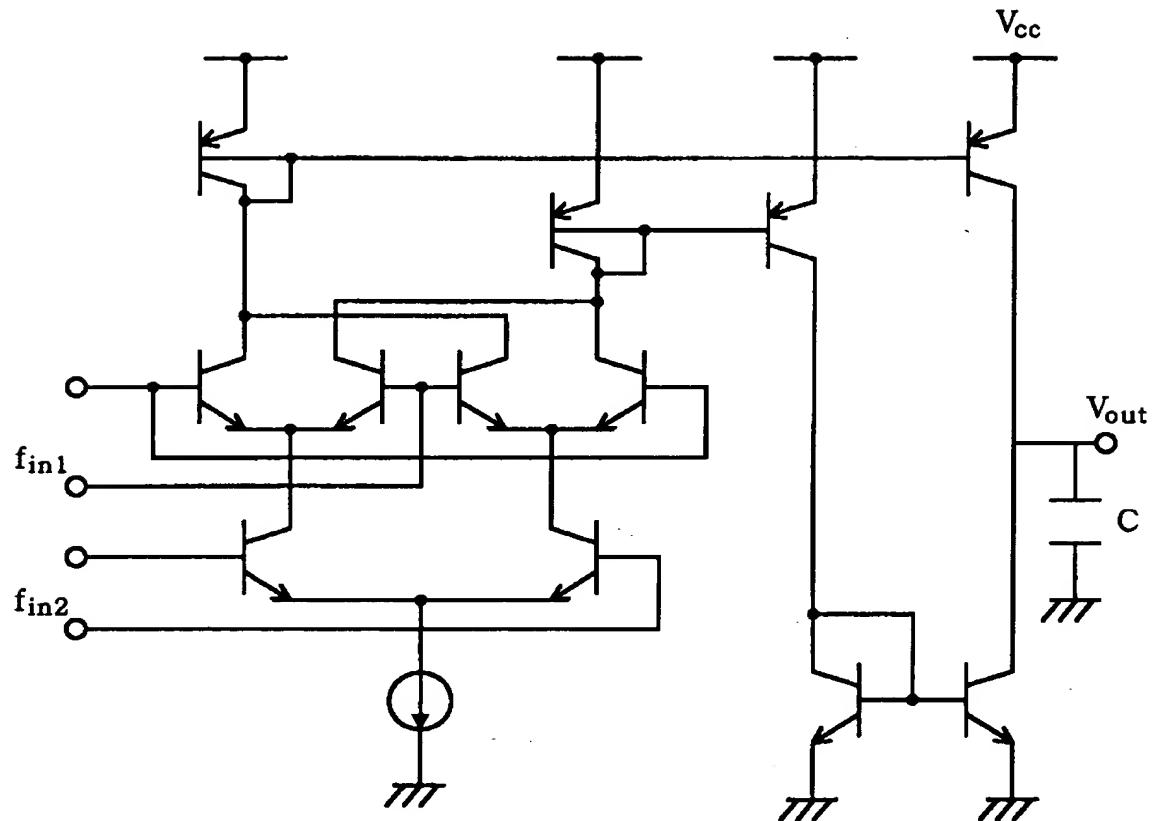
【図3】



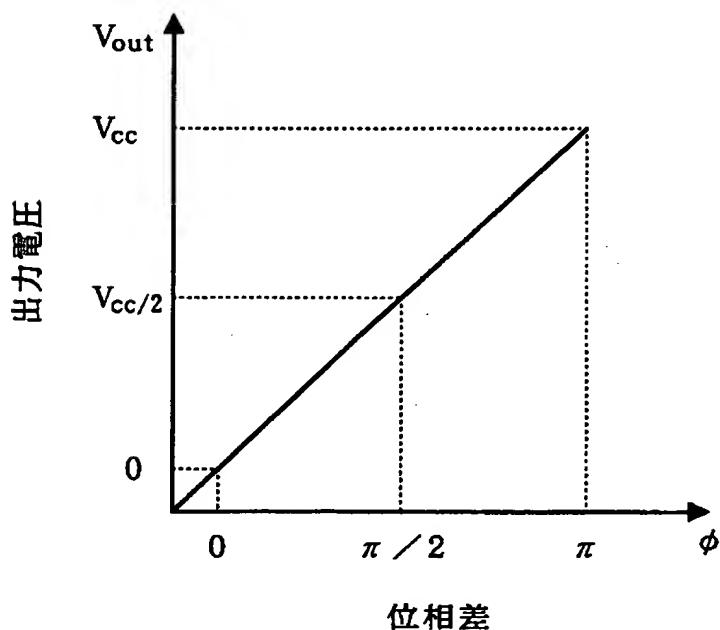
【図4】



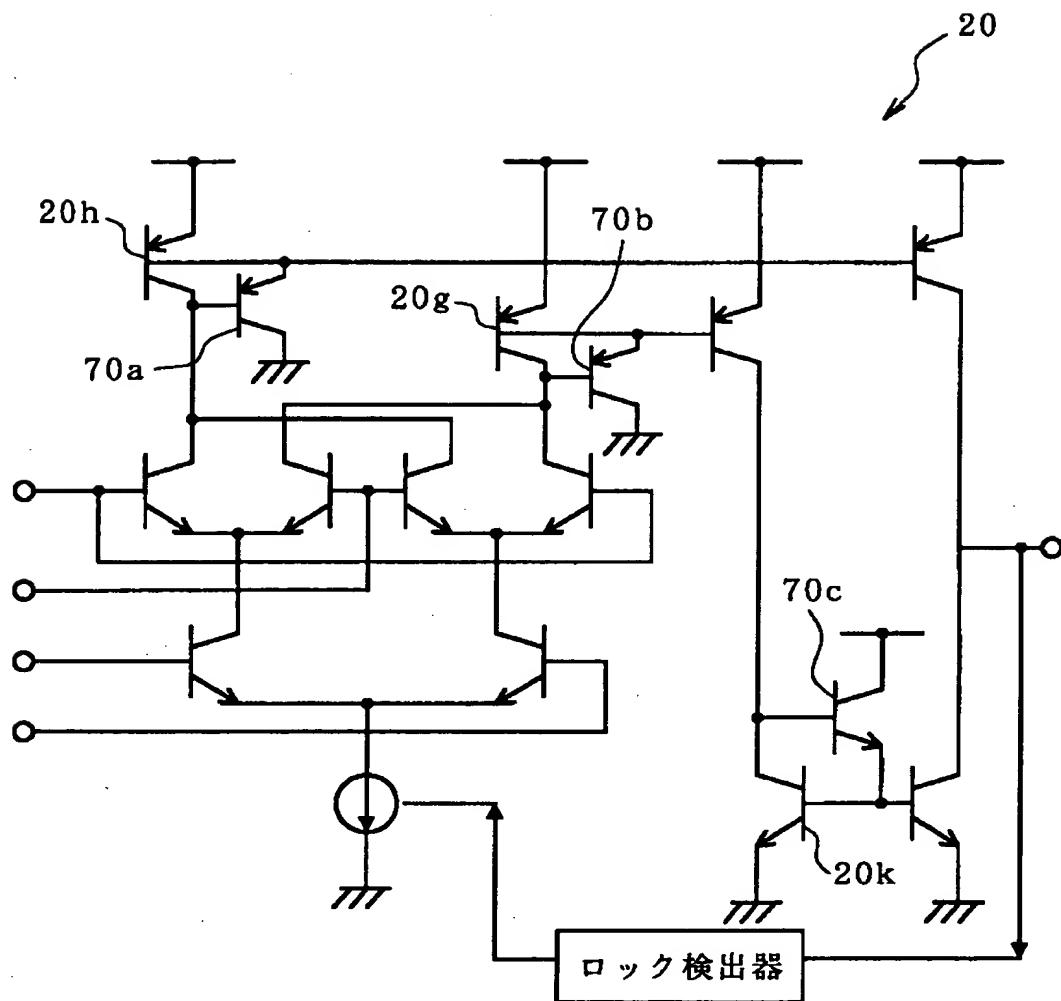
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 受動フィルタを適用する場合、ロックアップタイムの短縮が困難であった。また、ロックアップタイムを向上させるためにループフィルタのループ帯域を広げると、高調波スプリアスやVCOの位相雑音が増大してしまうという課題があった。

【解決手段】 ロック検出器22は、PLL回路10がアンロック状態にあると、第二電流源23bにおける供給電流量を増加させて位相比較器20における電流量を増大させ、PLL回路10がロック状態にあると、第二電流源23bにおける供給電流量を減少または停止させて位相比較器20における電流量を低減させるため、受動フィルタを適用した場合であっても、ループフィルタ30のループ帯域を広げることなく、ロックアップタイムを向上させることが可能となる。

【選択図】 図2

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社